

GaInP-BASED LAMINATED STRUCTURE BODY AND FIELD EFFECT TRANSISTOR MANUFACTURED BY USING THE SAME

Patent Number: JP2002176169
Publication date: 2002-06-21
Inventor(s): UDAGAWA TAKASHI
Applicant(s): SHOWA DENKO KK
Requested Patent: JP2002176169
Application Number: JP20000369705 20001205
Priority Number(s):
IPC Classification: H01L29/778; H01L21/338; H01L29/812; C23C16/30; H01L21/205
EC Classification:
Equivalents: TW517390

Abstract

PROBLEM TO BE SOLVED: To increase the mobility of two-dimensional electrons by efficiently storing the two-dimensional electrons and to provide the device of low noise by utilizing the high mobility.
SOLUTION: This GaInP-based laminated structure body 1 is provided with at least a buffer layer 11, an electron traveling layer 12 composed of $\text{GaXIn}_{1-X}\text{As}$ ($0 \leq X \leq 1$), a spacer layer 13 composed of GaInP and an electron supply layer 14 composed of GaInP laminated on the surface of a GaAs single crystal substrate 10. The electron traveling layer 12 is provided with a composition gradient region for which an indium composition ratio (1-X) is increased in the increasing direction of a layer thickness and a gradient is made toward the boundary 12b of joining with the side of the electron supply layer 14.

Data supplied from the **esp@cenet** database - I2

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2002-176169
(P2002-176169A)

(43)公開日 平成14年6月21日(2002.6.21)

(51)Int.Cl. ⁷	識別記号	F I	テームト*(参考)
H 0 1 L 29/778		C 2 3 C 16/30	4 K 0 3 0
21/338		H 0 1 L 21/205	5 F 0 4 5
29/812		29/80	H 5 F 1 0 2
C 2 3 C 16/30			
H 0 1 L 21/205			

審査請求 未請求 請求項の数8 O L (全 9 頁)

(21)出願番号 特願2000-369705(P2000-369705)

(22)出願日 平成12年12月5日(2000.12.5)

(71)出願人 000002004

昭和電工株式会社

東京都港区芝大門1丁目13番9号

(72)発明者 宇田川 隆

埼玉県秩父市大字下影森1505番地 昭和電

工株式会社総合研究所秩父研究室内

(74)代理人 100082669

弁理士 福田 賢三 (外2名)

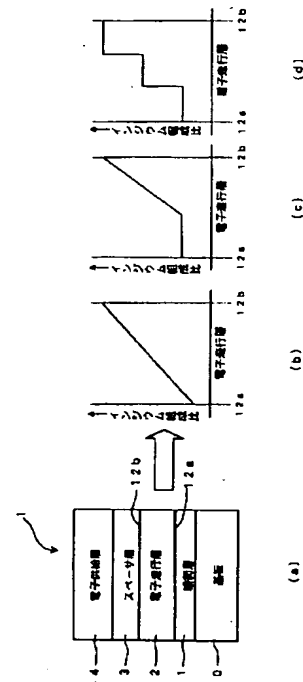
最終頁に続く

(54)【発明の名称】 GaInP系積層構造体およびそれを用いて作製した電界効果型トランジスタ

(57)【要約】

【課題】 2次元電子を効率的に蓄積することで2次元電子の移動度を高めることができ、その高移動度を利用して低雑音のデバイスとすることができるようにする。

【解決手段】 この発明は、GaAs単結晶基板10の表面上に積層された少なくとも、緩衝層11と、Ga_xIn_{1-x}As (0≦X≦1) からなる電子走行層12と、GaInPからなるスペーサ層13と、GaInPからなる電子供給層14とを備えたGaInP系積層構造体1において、電子走行層12は、電子供給層14側との接合界面12bに向けて層厚の増加方向にインジウム組成比(1-X)を増加させて勾配を付した組成勾配領域を含む、ことを特徴としている。



【特許請求の範囲】

【請求項1】 GaAs単結晶基板の表面上に積層された少なくとも、緩衝層と、 $Ga_xIn_{1-x}As$ ($0 \leq x \leq 1$) からなる電子走行層と、 $Ga_zIn_{1-z}P$ ($0 \leq z \leq 1$) からなるスペーサ層と、 $Ga_yIn_{1-y}P$ ($0 \leq y \leq 1$) からなる電子供給層とを備えたGaInP系積層構造体において、

上記電子走行層が、電子供給層側に向けてインジウム組成比 ($1-x$) を増加させた組成勾配領域を含む、ことを特徴とするGaInP系積層構造体。

【請求項2】 上記組成勾配領域が、インジウム組成比 ($1-x$) を連続的或いは不連続的に変化させている、請求項1に記載のGaInP系積層構造体。

【請求項3】 上記インジウム組成比 ($1-x$) が、電子供給層側の接合界面において0.30以上で0.50以下である、請求項1または2に記載のGaInP系積層構造体。

【請求項4】 上記電子走行層が、1ナノメートル以上で5ナノメートル以下の層厚である、請求項1から3の何れか1項に記載のGaInP系積層構造体。

【請求項5】 上記電子走行層が、硼素（元素記号：B）を添加したn形 $Ga_xIn_{1-x}As$ ($0 \leq x \leq 1$) からなる層である、請求項1から4の何れか1項に記載のGaInP系積層構造体。

【請求項6】 上記スペーサ層が、電子供給層側に向けてガリウム組成比を減少させた組成勾配領域を含む $Ga_zIn_{1-z}P$ ($0 \leq z \leq 1$) からなる層である、請求項1から5の何れか1項に記載のGaInP系積層構造体。

【請求項7】 上記スペーサ層を備えていない、請求項1から6の何れか1項に記載のGaInP系積層構造体。

【請求項8】 上記請求項1から7の何れか1項に記載のGaInP系積層構造体を用いて作製した電界効果型トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、GaAs単結晶基板の表面上に積層された少なくとも、緩衝層と、 $Ga_xIn_{1-x}As$ ($0 \leq x \leq 1$) からなる電子走行層と、 $Ga_zIn_{1-z}P$ ($0 \leq z \leq 1$) からなるスペーサ層と、 $Ga_yIn_{1-y}P$ ($0 \leq y \leq 1$) からなる電子供給層とを備えたGaInP系積層構造体、およびそれを用いて作製した電界効果型トランジスタに関するものである。

【0002】

【従来の技術】ミリ波帯で動作可能な電界効果型トランジスタ（MESFET）の一種に、リン化ガリウム・インジウム混晶（ $Ga_yIn_{1-y}P$ ： $0 \leq y \leq 1$ ）を利用したGaInP系高電子移動度電界効果型トランジスタ（TEFET、MODFETなどと略称される）がある（IEEE Trans. Electron Devi

ces, Vol. 37, No. 10 (1990), 2141~2147頁参照）。GaInP系MODFETは、例えばマイクロ波帯域での低雑音信号増幅素子として利用されている（IEEE Trans. Electron Devices, Vol. 46, No. 1 (1999), 48~54頁参照）。また、高周波発信デバイスとして利用されている（IEEE Trans. Electron Devices, Vol. 44, No. 9 (1997), 1341~1348頁参照）。

【0003】図4は従来のGaInP系TEGFETの断面構造の模式図である。基板90には、{001}結晶面を主面とする半絶縁性の砒化ガリウム（化学式：GaAs）が利用される。基板90の表面上には、高抵抗のIII-V族化合物半導体層からなる緩衝層91が堆積される。緩衝層91上には、n形の砒化ガリウム・インジウム混晶（ $Ga_xIn_{1-x}As$ ： $0 \leq x \leq 1$ ）からなる電子走行層（チャネル層）92が堆積される。電子走行層92上には、スペーサ層93が堆積される。スペーサ層93は、アンドープの $Ga_zIn_{1-z}P$ ($0 \leq z \leq 1$) から一般に構成されている（上記のIEEE Trans. Electron Devices, Vol. 44 (1997) 参照）。スペーサ層93上には、n形のリン化ガリウム・インジウム混晶（ $Ga_yIn_{1-y}P$ ： $0 \leq y \leq 1$ ）からなる電子供給層94が堆積される。電子供給層94のキャリア（電子）濃度は、珪素（Si）などの拡散し難いn形不純物を故意に添加（ドーピング）して調整される。電子供給層94上には、低接触抵抗のソース電極96及びドレイン電極97の各オーミック電極を形成するためのn形GaAs等からなるコンタクト層95が一般に設けられる。ソース及びドレイン電極96、97の中間のリセス構造部には、露呈した電子供給層94の表面にショットキー接合型ゲート電極98を設けてTEGFET910が構成されている。

【0004】電子走行層92のスペーサ層93（スペーサ層93を配置しない場合は電子供給層94）との接合界面92bの近傍の領域には、電子供給層94から供給される電子が2次元電子として蓄積される。高移動度を発揮する2次元電子は、電子走行層92とスペーサ層93（または電子供給層94）との接合界面92bでの障壁が高い程、一般にはより効率的に蓄積できる。そして、電子走行層92は層厚の方向に組成を一定とする $Ga_xIn_{1-x}As$ から構成するのが常套となっている。インジウムの組成比は最大でも約0.25（25%）とするのがもっぱらである（Solid-State Electron., 36 (9) (1993), 1235~1237頁参照）。

【0005】

【発明が解決しようとする課題】しかし、上記従来の電子走行層92のように、インジウム組成（ $= (1-x)$ ）を略一定とし、しかも最大でも0.25程度とす

る場合、スペーサ層93との接合界面92bの近傍での障壁を高くしようとしても限度があり、このため、接合界面92bの近傍領域に2次元電子を効率的に蓄積させることができない。したがって、2次元電子の移動度を高めることができず、その移動度を利用して低雑音のGaInP系TEGFETを得ようとしても困難であるという問題点を有していた。

【0006】この発明は上記に鑑み提案されたもので、2次元電子を効率的に蓄積することで2次元電子の移動度を高めることができ、その高移動度を利用して低雑音のデバイスとすることができるGaInP系積層構造体、およびそれを用いて作製した電界効果型トランジスタを提供することを目的とする。

【0007】

【課題を解決するための手段】上記目的を達成するために、請求項1に記載の発明は、GaAs単結晶基板の表面上に積層された少なくとも、緩衝層と、 $Ga_xIn_{1-x}As$ ($0 \leq x \leq 1$) からなる電子走行層と、 $Ga_zIn_{1-z}P$ ($0 \leq z \leq 1$) からなるスペーサ層と、 $Ga_yIn_{1-y}P$ ($0 \leq y \leq 1$) からなる電子供給層とを備えたGaInP系積層構造体において、上記電子走行層が、電子供給層側に向けてインジウム組成比(1-X)を増加させた組成勾配領域を含む、ことを特徴としている。

【0008】また、請求項2に記載の発明は、上記した請求項1に記載の発明の構成に加えて、上記組成勾配領域が、インジウム組成比(1-X)を連続的或いは不連続的に変化させている、ことを特徴としている。

【0009】また、請求項3に記載の発明は、上記した請求項1または2に記載の発明の構成に加えて、上記インジウム組成比(1-X)が、電子供給層側の接合界面において0.30以上で0.50以下である、ことを特徴としている。

【0010】また、請求項4に記載の発明は、上記した請求項1から3の何れか1項に記載の発明の構成に加えて、上記電子走行層が、1ナノメートル以上で5ナノメートル以下の層厚である、ことを特徴としている。

【0011】さらに、請求項5に記載の発明は、上記した請求項1から4の何れか1項に記載の発明の構成に加えて、上記電子走行層が、硼素(元素記号:B)を添加したn形 $Ga_xIn_{1-x}As$ ($0 \leq x \leq 1$) からなる層である、ことを特徴としている。

【0012】また、請求項6に記載の発明は、上記した請求項1から5の何れか1項に記載の発明の構成に加えて、上記スペーサ層が、電子供給層側に向けてガリウム組成比を減少させた組成勾配領域を含む $Ga_zIn_{1-z}P$ ($0 \leq z \leq 1$) からなる層である、ことを特徴としている。

【0013】請求項7に記載の発明は、上記した請求項1から6の何れか1項に記載の発明の構成に加えて、上記スペーサ層を備えていない、ことを特徴としている。

【0014】また、請求項8に記載の発明は、上記請求項1から7の何れか1項に記載のGaInP系積層構造体を用いて作製した電界効果型トランジスタであることを特徴としている。

【0015】

【発明の実施の形態】以下にこの発明の実施の形態を図面に基づいて詳細に説明する。

【0016】図1はこの発明のGaInP系積層構造体の説明図であり、(a)はGaInP系積層構造体の断面を模式的に示す図、(b)(c)(d)は電子走行層におけるインジウムの組成勾配を示す図である。図において、この発明のGaInP系積層構造体1は、GaAs単結晶基板10に積層して形成され、緩衝層11と、 $Ga_xIn_{1-x}As$ ($0 \leq x \leq 1$) からなる電子走行層12と、 $Ga_zIn_{1-z}P$ ($0 \leq z \leq 1$) からなるスペーサ層13と、 $Ga_yIn_{1-y}P$ ($0 \leq y \leq 1$) からなる電子供給層14とを有している。そして、このGaInP系積層構造体1は、その電子走行層12に、スペーサ層13側との接合界面12bに向けて層厚の増加方向にインジウム組成比(1-X)を増加させて勾配を付した組成勾配領域を含んでいる。

【0017】例えば、(b)では、緩衝層11との接合界面12aからスペーサ層13との接合界面12bに向けてインジウム組成比(= (1-X))を層厚の増加方向に直線的に増加させている。また、(c)では、接合界面12aから所定の層厚まではインジウム組成比を一定に保ち、その後層厚の増加方向に接合界面12bまで直線的に増加させている。また、(d)では、接合界面12aから接合界面12bに向けてインジウム組成比を不連続的に層厚の増加方向に増加させている。例えば、緩衝層11との接合界面12aより層厚が7nmに至る領域でのインジウム組成比を約0.18とし、次の2nmに至る層厚の領域でのインジウム組成比を約0.25とし、次のスペーサ層13との接合界面12bまでの2nmの層厚の領域でのインジウム組成比を0.30として、組成比を不連続的に増加させている。

【0018】また、この発明の実施形態では、電子走行層12のスペーサ層13との接合界面12bでのインジウム組成比を、0.30以上で0.50以下としている。

【0019】ここで、スペーサ層13を、Ga組成比を0.51とする $Ga_{0.51}In_{0.49}P$ で構成したとすると、スペーサ層13の禁止帯幅は約1.88eVと算出される(赤崎 勇編著、「III-V族化合物半導体」(株式会社培風館、1994年5月20日発行初版、187頁参照)。一方、電子走行層12をその接合界面12bでのインジウム組成比を0.30とする $Ga_{0.70}In_{0.30}As$ で構成したとすると、その室温での禁止帯幅は約1.01eVである(上記の「III-V族化合物半導体」参照)。したがって、

電子走行層12とスペーサ層13との間での禁止帯幅の差異は約0.87 eVとなる。また、接合界面12bでの電子走行層12のインジウム組成比を0.30以上とすると、電子走行層12とスペーサ層13との禁止帯幅の差異を従来に無く拡張することができ、この電子走行層12の接合界面12b側に2次元電子を効率的に蓄積する上でより有利となる。

【0020】一方、インジウム組成比を極端に高めると、インジウム組成の不均一性が顕著となり、また電子走行層12表面の平坦性が損なわれる。このため、スペーサ層13との平坦な接合界面12bが形成できず、高移動度が安定して得られ難くなる。このため、電子走行層12のスペーサ層13との接合界面12bでのインジウム組成比を、0.5以下とするのが望ましい。

【0021】ところで、スペーサ層13をなす $Ga_zIn_{1-z}P$ や電子供給層14をなす $Ga_yIn_{1-y}P$ の禁止帯幅はガリウム組成比を増大させると大となり(上記の「III-V族化合物半導体」、187頁参照)、一方の電子走行層12をなす $Ga_xIn_{1-x}As$ の禁止帯幅はインジウム組成比を増大させると小となる。したがって、スペーサ層13は接合界面12bに向けてガリウム組成比を大とし、電子走行層12は接合界面12bに向けてインジウム組成比を小とすることで、電子走行層12とスペーサ層13との間の禁止帯幅の差異をより大きくすることができ、両層間での障壁をより高くできる。すなわち、電子走行層12の内部に2次元電子を効率的に局在させ蓄積して高電子移動度を発現するに優位なヘテロ接合構造を形成することができる。

【0022】また、この発明の実施形態では、電子走行層12の内部に設ける組成勾配領域の層厚を1ナノメートル(nm)以上で5nm以下としている。組成勾配領域の厚さが1nm未満であると、2次元電子を十分に局在させ、蓄積するに至らない。また、インジウム組成を大とした組成勾配領域の層厚を5nmを超えて厚くすると、上層のスペーサ層13を構成する $Ga_zIn_{1-z}P$ との格子不整合性が増大され、良質のスペーサ層13の形成が阻害されるため好ましくない。組成勾配領域を構成する $Ga_xIn_{1-x}As$ のインジウム組成比($= (1-X)$)を大とする程、組成勾配領域の層厚を薄層とすると好結果が得られる。また、組成勾配領域はキャリア濃度の低い高純度のn形 $Ga_xIn_{1-x}As$ 層から構成するのが望ましい。キャリア濃度は望ましくは $5 \times 10^{16} \text{ cm}^{-3}$ 以下、さらに、 $1 \times 10^{16} \text{ cm}^{-3}$ 以下であるのが望ましい。キャリア濃度は通常のホール(Hall)効果測定法或いは容量-電圧(C-V)法等を利用して測定できる。

【0023】さらに、この発明の実施形態では、電子走行層12を、硼素(元素記号:B)を添加したn形 $Ga_xIn_{1-x}As$ からなる層として構成している。硼素をドーピングすることにより、電子走行層12のキャリア

濃度を減少させることができる。特に、インジウム組成比が大である程、硼素のドーピング量を大とするとキャリア濃度が効果的に低減される。例えば、アンドープ状態で $4 \times 10^{16} \text{ cm}^{-3}$ である $Ga_xIn_{1-x}As$ からなる電子走行層12のキャリア濃度は硼素ドーピングにより、約1桁以上減少させられる。これにより、電子走行層12の内部に蓄積される2次元電子が被る散乱の影響を低減できる。したがって、高い電子移動度が顕現されることとなり、相互コンダクタンス(g_m)特性に優れた $GaInP$ 系高電子移動度トランジスタを提供することができる。

【0024】組成勾配領域を含む硼素ドーパの電子走行層12は、 $Ga_xIn_{1-x}As$ 層を成膜しつつ、硼素をドーピングして形成できる。硼素のドーピング源としてはトリメチル硼素($(CH_3)_3B$)やトリエチル硼素($(C_2H_5)_3B$)が例示できる。硼素は硼素の原子濃度にして 1×10^{16} 原子/ cm^3 以上で 1×10^{18} 原子/ cm^3 以下となる様にドーピングするのが望ましい。さらには、大凡、 $Ga_xIn_{1-x}As$ 層のキャリア濃度を上回る原子濃度となるように硼素のドーピングを施すのが好ましい。 $Ga_xIn_{1-x}As$ 層内部の硼素原子濃度は成長反応成長系への硼素ドーピング源の供給量をもって調整できる。また、 $Ga_xIn_{1-x}As$ 層の内部に於ける硼素の原子濃度は、例えば一般的な2次イオン質量分析法(SIMS)により計測できる。

【0025】このように、この発明の実施形態では、電子走行層12に、スペーサ層13側との接合界面12bに向けて層厚の増加方向にインジウム組成比を増加させて勾配を付した組成勾配領域を設けるようにしたので、電子走行層12とスペーサ層13との間の禁止帯幅の差異をより大きくすることができ、両層間での障壁をより高くできる。このため、電子走行層12の内部に、電子供給層14から供給される電子を2次元電子として効率的に蓄積して、高い電子移動度を実現することができ、したがって、相互コンダクタンス(g_m)特性に優れた電界効果型トランジスタを提供することができる。

【0026】また、電子走行層12のスペーサ層13との接合界面12bでのインジウム組成比を、0.30以上で0.50以下としたので、電子走行層12の内部に2次元電子を効率的に蓄積できるとともに、インジウム組成比が高すぎた場合に電子走行層12表面の平坦性が損なわれその結果発生するスペーサ層13や電子供給層14の結晶性の劣化を的確に抑制することができ、したがって、電子走行層12の構成を、高い電子移動度を確保する上で最適なものとして行うことができる。

【0027】また、電子走行層12の内部に設ける組成勾配領域の層厚を1nm以上で5nm以下としたので、電子走行層12の層厚を確保して層内に2次元電子を十分に局在させ蓄積できるとともに、厚すぎた場合に発生する上層との格子不整合を防止することができ、結晶性

に優れたスペーサ層13や電子供給層14を確実に形成することができる。

【0028】さらに、電子走行層12に、硼素をドーピングするようにしたので、電子走行層12のキャリア濃度を減少させることができ、電子走行層12の内部に蓄積される2次元電子が被る散乱の影響を低減できる。したがって、この点からも高い電子移動度を実現することができ、相互コンダクタンス(g_m)特性に優れた電界効果型トランジスタを提供することができる。

【0029】また、電子走行層12に、スペーサ層13側との接合界面12bに向けて層厚の増加方向にインジウム組成比を増加させて勾配を付すとともに、スペーサ層13を、電子走行層12との接合界面12bより電子供給層14側に向けて層厚の増加方向にガリウム組成比を減少させた組成勾配領域を含む $Ga_zIn_{1-z}P$ ($0 \leq z \leq 1$)層から構成したので、両層12、13間での障壁をより一層確実に高いものとしてすることができ、したがって、電子走行層12の内部に2次元電子を効率的に蓄積でき、高い電子移動度を顕現できる。

【0030】次に、この発明の $GaInP$ 系積層構造体およびそれを用いて作製した電界効果型トランジスタを、より具体的な実施例を以て説明する。

【0031】

【実施例】(第1実施例)図2は第1実施例のTEGFETの断面模式図である。本実施例では、組成勾配領域を有する電子走行層を備えた $GaInP$ 系高電子移動度電界効果型トランジスタ(TEGFET)を構成する場合を例にして、本発明を詳細に説明する。

【0032】TEGFET用途のエピタキシャル積層構造体1Aは、アンドープ半絶縁性の(100)2°オフ(off) $GaAs$ 単結晶を基板100として構成した。基板100の $GaAs$ 単結晶の比抵抗は室温で約 $3 \times 10^7 \Omega \cdot cm$ であった。

【0033】直径を約100mmとする基板100の表面上には、緩衝層101を構成する $Al_cGa_{1-c}As$ / $GaAs$ 系超格子構造を堆積させた。超格子構造体はアルミニウム組成比($=c$)を0.30とするアンドープの $Al_{0.30}Ga_{0.70}As$ 層と、アンドープでp形の $GaAs$ 層とから構成した。 $Al_{0.30}Ga_{0.70}As$ 層のキャリア濃度は約 $1 \times 10^{14} cm^{-3}$ とし、層厚は45nmとした。p形 $GaAs$ 層のキャリア濃度は $7 \times 10^{13} cm^{-3}$ とし、層厚は50nmとした。 $Al_{0.30}Ga_{0.70}As$ 層とp形 $GaAs$ 層との積層周期数は5周期とした。 $Al_{0.30}Ga_{0.70}As$ 層とp形 $GaAs$ 層は、何れもトリメチルガリウム($(CH_3)_3Ga$)／トリメチルアルミニウム($(CH_3)_3Al$)／アルシン(AsH_3)／水素(H_2)反応系に依る減圧MOCVD法に依り、640℃で成膜した。成膜時の圧力は約 1.3×10^4 パスカル(Pa)とした。キャリア(輸送)ガスには水素を利用した。

【0034】緩衝層101上には、 $(CH_3)_3Ga$ ／シクロペンタジエニルインジウム(C_5H_5In)／ AsH_3 ／ H_2 反応系を利用した減圧MOCVD法に依り、アンドープのn形 $Ga_{0.80}In_{0.20}As$ 層を電子走行層(チャンネル層)102を構成する第1の構成層102-1として積層した。第1の層102-1の層厚は約9nmとした。第1の層102-1上にはインジウム組成比を0.30とするn形 $Ga_{0.70}In_{0.30}As$ 層を第2の構成層102-2として積層させた。第2の構成層102-2の層厚は約2nmとした。第1及び第2の構成層102-1、102-2からインジウム組成に勾配を有する電子走行層102を構成した。電子走行層102を構成する第1及び第2の構成層102-1、102-2のキャリア濃度は何れも $3 \times 10^{15} cm^{-3}$ とした。

【0035】 $GaInAs$ 組成勾配層102上には、 $(CH_3)_3Ga$ ／ C_5H_5In ／ PH_3 ／ H_2 反応系を利用した減圧MOCVD法に依り、アンドープのn形 $Ga_{0.51}In_{0.49}P$ からなるスペーサ層103を積層させた。

【0036】スペーサ層103の上には、珪素(Si)をドーピングしたn形 $Ga_{0.51}In_{0.49}P$ からなる電子供給層104を、 $(CH_3)_3Ga$ ／ C_5H_5In ／ PH_3 ／ H_2 反応系を利用した減圧MOCVD法に依り積層させた。Siのドーピング源には、水素-ジシラン(Si_2H_6) (濃度10体積ppm)混合ガスを使用した。成膜時の圧力は約 1.3×10^4 パスカル(Pa)とした。電子供給層104のキャリア濃度は $2 \times 10^{18} cm^{-3}$ とし、層厚は25nmとした。

【0037】電子供給層104の表面上には、 $(CH_3)_3Ga$ ／ AsH_3 ／ H_2 反応系により、Siドーブ n 形 $GaAs$ からなるコンタクト層105を積層させた。Siのドーピング源は上記の水素-ジシラン混合ガスを使用した。コンタクト層105のキャリア濃度は $2 \times 10^{18} cm^{-3}$ とし、層厚は約50nmとした。なお、 $Ga_{0.51}In_{0.49}P$ からなる電子供給層104のガリウム組成比を0.51とし、その上に積層させる $GaAs$ からなるコンタクト層105と格子間隔が略同一となるように調整したので、双方は良好な整合性を有している。

【0038】以上をもって、積層構造体100Aをなす構成層101～105のエピタキシャル成長を終了した後、アルシン(AsH_3)を含む雰囲気内で約500℃迄降温し、その後、水素雰囲気内で室温迄冷却した。

【0039】最表層のn形 $GaAs$ コンタクト層105の表面にインジウム・錫($In-Sn$)合金からなるオーミック電極を形成した。次に、通常のホール(Hall)効果測定法に依り、電子走行層102を走行する2次元電子に係わる電子移動度を測定した。室温(約300ケルビン(K))でのシートキャリア濃度(n_s)は約 $1.8 \times 10^{12} cm^{-2}$ であり、電子移動度(μ_{RT})は約 $5700 cm^2/V \cdot s$ となった。ちなみに、従来

の、組成勾配領域を内包しない、インジウム組成比を0.20一定とする $\text{Ga}_{0.80}\text{In}_{0.20}\text{As}$ 層から電子走行層を構成した場合における電子移動度(μ_{RT})は約 $3500\text{ cm}^2/\text{V}\cdot\text{s}$ であり、これに比べて本実施例では顕著な改善がみられた。

【0040】公知のフォトリソグラフィー技術を駆使したパターンニング法を利用して、最表層のn形GaAsコンタクト層105の表面をリセス(recess)状に加工した。メサ(mesa)状に残置させたn形GaAsコンタクト層105上にはソース電極106及びドレイン電極107を形成した。ソース及びドレイン各オーミック電極106、107は、金・ゲルマニウム(Au93重量%・Ge7重量%)・ニッケル(Ni)・金(Au)重層構造から構成した。ソース電極106とドレイン電極107との間隔は $10\mu\text{m}$ とした。リセス部に露呈した $\text{Ga}_{0.51}\text{In}_{0.49}\text{P}$ 電子供給層104の表面に、下層をチタン(Ti)とし、上層をアルミニウム(Al)とする重層構造のショットキー(Schottky)接合型ゲート電極108を形成した。ゲート電極108のゲート長は約 $1\mu\text{m}$ とした。

【0041】このようにして構成したGaInP系TEGFET110の直流(DC)特性を評価した。ドレイン電圧を2ボルト(V)とした際の飽和ドレイン電流(I_{dss})は約68ミリアンペア(mA)となった。ドレイン電圧を0Vから5Vの間で掃引した際に、ドレイン電流上にループ(ヒステリシス)は殆ど観測されなかった。ソース/ドレイン間電圧を2.0Vとして計測された室温の相互コンダクタンス(g_m)は 200 ± 5 ミリジーメンズ(mS)/mmと高く、且つ均一となった。ちなみに、従来の、組成勾配領域を内包しない、インジウム組成比を0.20一定とする $\text{Ga}_{0.80}\text{In}_{0.20}\text{As}$ 層から電子走行層を構成した場合における相互コンダクタンス(g_m)は約150ミリジーメンズ(mS)/mmであり、これに比べて本実施例では顕著な改善がみられた。

【0042】また、緩衝層101の表面を露呈して形成した、間隔を $100\mu\text{m}$ とするAu・Geオーミック電極間に流通する漏洩電流は40Vで $1\mu\text{A}$ 未満の高耐圧性を示した。このため、ゲートピンチ・オフ電圧は約 $-0.9\text{V}\pm0.03\text{V}$ となり、均一な閾値電圧を有するGaInP系TEGFETが提供された。

【0043】(第2実施例)図3は第2実施例のTEGFETの断面模式図である。第1実施例1と同一の構成要素には第1実施例の符号の1桁目の数字1を2と書き換えることとし、その説明を省略する。

【0044】本実施例の電子走行層202は、緩衝層201との接合界面202aでインジウム組成比を0.20とし、スペーサ層203との接合界面202bでインジウム組成比を約0.35とする $\text{Ga}_x\text{In}_{1-x}\text{As}$ 組成勾配領域を有する構成とした。電子走行層202の層厚

は約8nmとした。インジウム組成比の勾配は、層厚の増加と共にMOCVD反応系へ供給するガリウム源に対するインジウム源(トリメチルインジウム: $(\text{CH}_3)_3\text{In}$)との比率($=(\text{CH}_3)_3\text{In}/(\text{CH}_3)_3\text{Ga}$)を経時的に一律に直線的に増加させて付与した。電子走行層202のキャリア濃度は約 $4\times10^{16}\text{ cm}^{-3}$ に設定した。

【0045】積層構造体200Aについて、一般的なホール(Hall)効果測定法に依り測定した室温(約300K)でのシート(sheet)キャリア濃度(n_s)は約 $1.7\times10^{12}\text{ cm}^{-2}$ であり、平均的な電子移動度(μ_{RT})は約 $6000\text{ cm}^2/\text{V}\cdot\text{s}$ であり、高い電子移動度が発現された。また、第1実施例に記載と同様の手法で構成したGaInP系TEGFET210において、ドレイン電圧を2.0Vとした際の室温での相互コンダクタンス(g_m)は 210 ± 5 ミリジーメンズ(mS)/mmと高く、高性能のTEGFETが提供された。

【0046】(第3実施例)本実施例では、第2実施例に記したと同一のインジウム組成の勾配を有する、硼素(B)をドーピングした $\text{Ga}_x\text{In}_{1-x}\text{As}$ 電子走行層を備えたGaInP系TEGFETを例にして、本発明を具体的に説明する。本実施例のTEGFETは、第2実施例とは $\text{Ga}_x\text{In}_{1-x}\text{As}$ 電子走行層のみを異なるものとしているため図3を利用して説明する。

【0047】この第3実施例では、電子走行層202を構成する $\text{Ga}_x\text{In}_{1-x}\text{As}$ 組成勾配領域の成長時に、硼素をドーピングした。硼素のドーピング源には市販の電子工業用のトリエチル硼素($(\text{C}_2\text{H}_5)_3\text{B}$)を使用した。トリエチル硼素のMOCVD反応系へのドーピング量は、アンドープ状態でのn形 $\text{Ga}_x\text{In}_{1-x}\text{As}$ 組成勾配層のキャリア濃度が約 $4\times10^{16}\text{ cm}^{-3}$ であることに鑑み、層内で約 $4\times10^{17}\text{ cm}^{-3}$ の硼素原子濃度を帰結する様に設定した。 $\text{Ga}_x\text{In}_{1-x}\text{As}$ 電子走行層202のキャリア濃度は硼素のドーピングにより約 $5\times10^{15}\text{ cm}^{-3}$ 以下となった。

【0048】一般的なホール(Hall)効果測定法に依り測定した室温(約300K)でのシート(sheet)キャリア濃度(n_s)は約 $1.6\times10^{12}\text{ cm}^{-2}$ であり、平均的な電子移動度(μ_{RT})は約 $6400\text{ cm}^2/\text{V}\cdot\text{s}$ となった。このように、電子走行層202に硼素をドーピングすることで、第2実施例の場合に比較してより高い電子移動度が発現された。ドレイン電圧を2Vに設定した際の飽和ソース・ドレイン電流は約70mAとなり、また、ドレイン電流にヒステリシス(ループ)は殆ど認められなかった。また、ソース/ドレイン間電圧を2.0Vとした際の室温での相互コンダクタンス(g_m)は約250ミリジーメンズ(mS)/mmと高いものとなった。

【0049】

【発明の効果】この発明は上記した構成からなるので、以下に説明するような効果を奏することができる。

【0050】請求項1または請求項2に記載の発明では、電子走行層に、電子供給層側との接合界面に向けて層厚の増加方向にインジウム組成比を増加させて勾配を付した組成勾配領域を設けるようにしたので、電子走行層の電子供給層側との間の接合界面における禁止帯幅の差異をより大きくすることができ、接合界面を挟持する両層間での障壁をより高くできる。このため、電子走行層の内部に、電子供給層から供給される電子を2次元電子として効率的に蓄積して、高い電子移動度を実現することができ、したがって、相互コンダクタンス特性に優れた電界効果型トランジスタを提供することができる。

【0051】また、請求項3に記載の発明では、電子走行層の電子供給層側との接合界面でのインジウム組成比を、0.30以上で0.50以下としたので、電子走行層の内部に2次元電子を効率的に蓄積できるとともに、インジウム組成比が高すぎた場合に電子走行層表面の平坦性が損なわれその結果発生するスペーサ層や電子供給層の結晶性の劣化を的確に抑制することができる。

【0052】さらに、請求項4に記載の発明では、電子走行層の層厚を1nm以上で5nm以下としたので、電子走行層の層厚を確保して層内に2次元電子を十分に局在させ蓄積できるとともに、厚すぎた場合に発生する上層との格子不整合を防止することができ、結晶性に優れたスペーサ層や電子供給層を確実に形成することができる。

【0053】また、請求項5に記載の発明では、電子走行層に、硼素をドーピングするようにしたので、電子走行層のキャリア濃度を減少させることができ、電子走行層の内部に蓄積される2次元電子が被る散乱の影響を低減できる。したがって、この点からも高い電子移動度を実現することができ、相互コンダクタンス特性に優れた電界効果型トランジスタを提供することができる。

【0054】請求項6に記載の発明では、スペーサ層を、電子供給層側との接合界面に向けて層厚の増加方向にガリウム組成比を減少させて勾配を付した組成勾配領域を含む $Ga_xIn_{1-x}P$ ($0 \leq x \leq 1$) 層から構成したので、電子走行層とスペーサ層間での障壁をより一層確実に高いものとすることができ、したがって、電子走行

層の内部に2次元電子を効率的に蓄積でき、高い電子移動度を顕現できる。

【図面の簡単な説明】

【図1】この発明のGaInP系積層構造体の説明図であり、(a)はGaInP系積層構造体の断面を模式的に示す図、(b)(c)(d)は電子走行層におけるインジウムの組成勾配を示す図である。

【図2】第1実施例のTEGFETの断面模式図である。

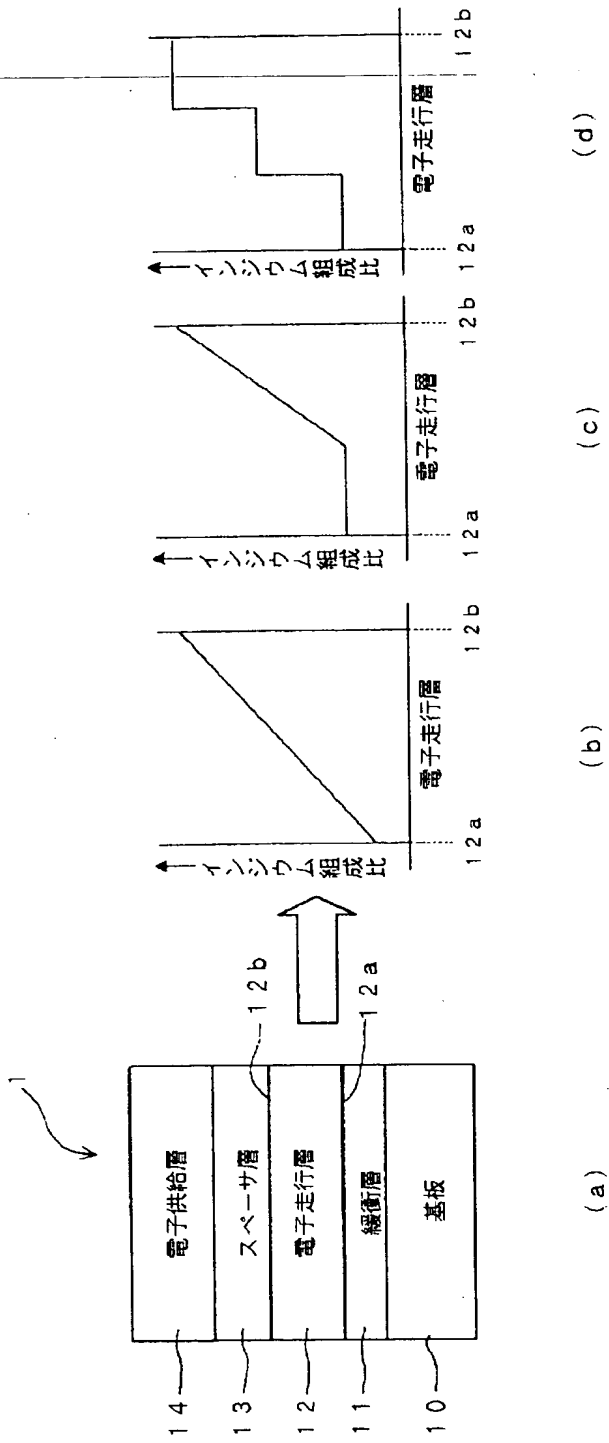
【図3】第2実施例のTEGFETの断面模式図である。

【図4】従来のGaInP系TEGFETの断面構造の模式図である。

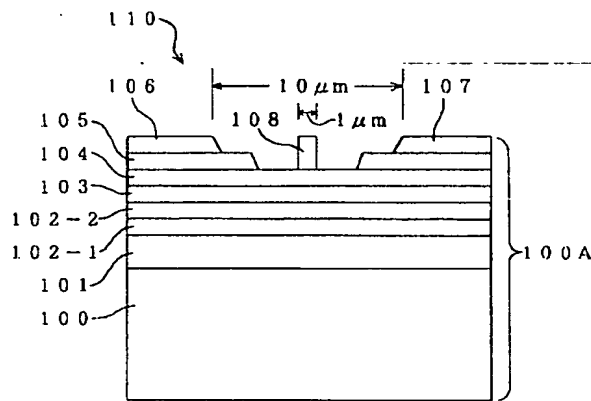
【符号の説明】

- 1 GaInP系積層構造体
- 10 単結晶基板
- 11 緩衝層
- 12 電子走行層
- 12a 接合界面
- 12b 接合界面
- 13 スペーサ層
- 14 電子供給層
- 100 基板
- 100A 積層構造体
- 101 緩衝層
- 102 電子走行層
- 102-1 構成層
- 102-2 構成層
- 103 スペーサ層
- 104 電子供給層
- 105 コンタクト層
- 106 ソース電極
- 107 ドレイン電極
- 108 ゲート電極
- 200A 積層構造体
- 201 緩衝層
- 202 電子走行層
- 202a 接合界面
- 202b 接合界面
- 203 スペーサ層

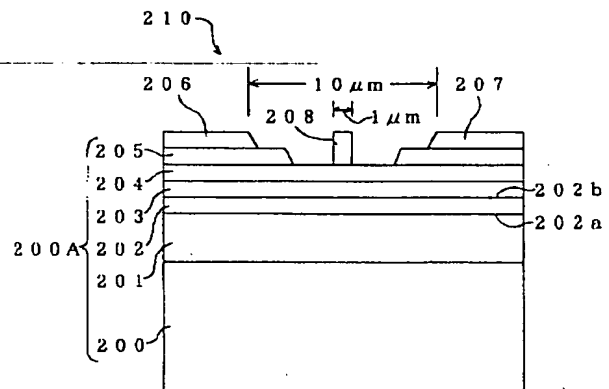
【図1】



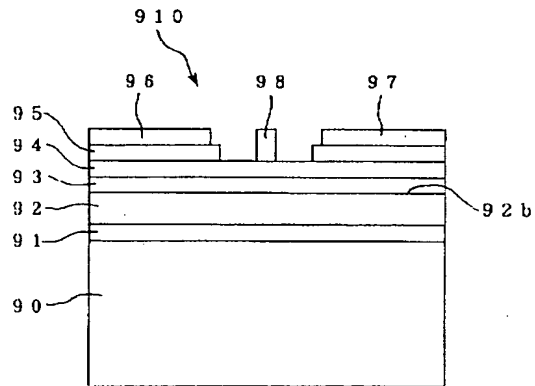
【図2】



【図3】



【図4】



フロントページの続き

Fターム(参考) 4K030 AA05 AA11 AA17 BA02 BA08
 BA11 BA25 BB12 CA04 FA10
 JA01 JA06 LA14
 5F045 AA04 AB10 AB17 AC01 AC08
 AD10 AE23 AF05 AF13 BB16
 CA06 DA54 DA57
 5F102 FA00 GB01 GC01 GD01 GJ05
 GK05 GK06 GK08 GL04 GL16
 GL17 GM04 GM08 GM10 GN05
 GQ01 GR01 GR04 GR07 GT02
 GT03 HC01 HC07

THIS PAGE BLANK (USPTO)